

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-022626

(43)Date of publication of application : 31.01.1991

(51)Int.Cl. H03M 3/02

(21)Application number : 01-156574

(71)Applicant : FUJITSU TEN LTD

(22)Date of filing : 19.06.1989

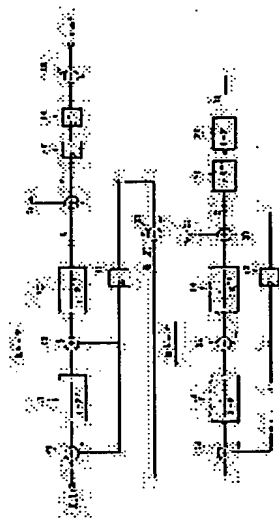
(72)Inventor : KAMIMURA MASATSUGU

(54) FOURTH ORDER DELTA/SIGMA MODULATOR

(57)Abstract:

PURPOSE: To compress a low frequency quantized noise to the utmost with stable operation by dividing a $\Delta - \Sigma$ modulator having a fourth order transmission characteristic into a main loop processing a main signal and a sub loop processing quantized noise.

CONSTITUTION: First and 2nd integration devices 11, 12 are connected in series and a 1st quantizing device 31, a delay device 41 and adders 21, 22 form a main loop having a 2nd order transmission characteristic. An adder 25 extracts only an error component-Q1 (Z) of the 1st quantizer 31. The sub loop integrates the quantized error in the 2nd order transmission characteristic. The sub loop is provided with 3rd and 4th integration devices 13, 14 connected in series, a 2nd quantizer 32, a feedback use delay device 42 and the adders 23, 24. Since the main loop and the sub loop apply feedback within the 2nd order range only, stable operation is guaranteed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平3-22626

⑬ Int. Cl.⁹
H 03 M 3/02

識別記号 庁内整理番号
6832-5J

⑭ 公開 平成3年(1991)1月31日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 4次デルタ・シグマ変調器

⑯ 特 願 平1-156574

⑰ 出 願 平1(1989)6月19日

⑱ 発 明 者 上 村 正 継 兵庫県神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内

⑲ 出 願 人 富士通テン株式会社 兵庫県神戸市兵庫区御所通1丁目2番28号

⑳ 代 理 人 弁理士 青 柳 稔

明 細 書

1. 発明の名称

4次デルタ・シグマ変調器

2. 特許請求の範囲

1. サンプリングされたアナログ入力を積分する第1積分器(11)と、

該第1積分器の出力を積分する第2積分器(12)と、

該第2積分器(12)の出力を量子化して該第1および第2積分器(11, 12)の入力に負帰還する第1量子化器(31)と、

該第1量子化器(31)の量子化誤差を積分する第3積分器(13)と、

該第3積分器(13)の出力を積分する第4積分器(14)と、

該第4積分器(14)の出力を量子化して該第3および第4積分器(13, 14)の入力に負帰還する第2量子化器(32)と、

該第2量子化器(32)の出力を2回微分する第1および第2微分器(51, 52)と、

該第2微分器(52)の出力と前記第1量子化器(31)の出力を加算してデジタル出力とする演算器(26)とを備えてなることを特徴とする4次デルタ・シグマ変調器。

3. 発明の詳細な説明

(概 要)

4次の伝達特性を有するデルタ・シグマ変調器に関し、

動作の安定化を図ることを目的とし、

サンプリングされたアナログ入力を積分する第1積分器と、該第1積分器の出力を積分する第2積分器と、該第2積分器の出力を量子化して該第1および第2積分器の入力に負帰還する第1量子化器と、該第1量子化器の量子化誤差を積分する第3積分器と、該第3積分器の出力を積分する第4積分器と、該第4積分器の出力を量子化して該第3および第4積分器の入力に負帰還する第2量子化器と、該第2量子化器の出力を2回微分する第1および第2微分器と、該第2微分器の出力と前記第1量子化器の出力を加算してデジタル出力

とする演算器とを備えるよう構成する。

(産業上の利用分野)

本発明は4次の伝達特性を有するデルタ・シグマ変調器に関する。

アナログ信号をデジタル符号化するデルタ・シグマ ($\Delta-\Sigma$) 変調器は、オーバサンプリング型 A/D 変換器の初段符号器等に利用される。近年、浮動小数点演算が可能なプロセッサが各種開発され、高精度な A/D 変換器が望まれるようになった。一方、A/D 変換器の精度は分解能に依存するため、量子化誤差を少なくするには A/D 変換器の多ビット化が必要である。オーバサンプリング型 A/D 変換器はアナログ信号をそのナイキストレートより極めて高いサンプリング周波数で符号化し、その符号化出力を帯域制限することで低域成分の量子化雑音を抑制し、例えば音声帯域内に限定して S/N を改善しようとしている。このようなオーバサンプリング型 A/D 変換器の初段符号器として使用される $\Delta-\Sigma$ 変調器が低周波帯域内において量子化雑音の少ないものであれば、

所要とする S/N を実現するサンプリング周波数を低くすることができる。

(従来の技術)

基本的な $\Delta-\Sigma$ 変調器は、サンプリングされたアナログ入力を積分してその出力を量子化し、これをデジタル出力にすると共に入力に負帰還する構成をとる。第3図を例にすると、アナログ入力 $X(z)$ からデジタル出力 $Y(z)$ を演算する加算器 21 と、その出力を積分する積分器 11 と、その出力を量子化する量子化器 31 と、その出力 $Y(z)$ を負帰還する 1 サンプル遅延器 41 によって単一積分型の $\Delta-\Sigma$ 変調器が構成される。量子化器 31 は量子化誤差 $Q(z)$ を加える加算器として示してある。この量子化器 31 が 1 サンプル遅延機能がある場合、帰還ループの遅延器 41 は省略され得る。 $X(z)$ 、 $Y(z)$ 、 $Q(z)$ はそれぞれ入力、出力、量子化誤差の Z 変換値であり、また積分器 11 の伝達関数を $(1-Z^{-1})^{-1}$ とすると、上述した単一積分型 $\Delta-\Sigma$ 変調器の伝達関数は

$$(X(z) - Z^{-1} \cdot Y(z)) (1 - Z^{-1})^{-1} = Y(z) - Q(z)$$

なる関係から

$$Y(z) = X(z) + (1 - Z^{-1}) \cdot Q(z) \quad \cdots \cdots \textcircled{1}$$

となる。上式の $(1 - Z^{-1})$ の項は低域を圧縮し、高域を伸長する周波数特性を有するので、この積分を繰り返せば希望する低域での量子化雑音 $Q(z)$ の影響を充分に小さくできる。

第3図で第1積分器 11 の後段に加算器 22 と第2積分器 12 を接続すると2重積分型の $\Delta-\Sigma$ 変調器となり、その伝達特性は

$$Y(z) = X(z) + (1 - Z^{-1})^2 \cdot Q(z) \quad \cdots \cdots \textcircled{2}$$

となる。これは①式の $Q(z)$ の項に更に $(1 - Z^{-1})$ を乗じたものである。以下、同様に加算器 23 と第3積分器 13 を加えると3重積分型、更に加算器 24 と第4積分器 14 を加えると4重積分型になる。3重積分型の伝達特性では $(1 - Z^{-1})$ の項が3次になって

$$Y(z) = X(z) + (1 - Z^{-1})^3 \cdot Q(z) \quad \cdots \cdots \textcircled{3}$$

となり、また4重積分型の伝達特性では $(1 - Z^{-1})$ の項が4次になって

$$Y(z) = X(z) + (1 - Z^{-1})^4 \cdot Q(z) \quad \cdots \cdots \textcircled{4}$$

となる。

このように $(1 - Z^{-1})$ の項の次数が高くなると低域における量子化雑音 $Q(z)$ の影響が益々小さくなり、多ビット化が進むオーバサンプリング型 A/D 変換器の初段符号器として都合が良い。つまり、A/D 変換器の S/N は例えば 16 ビットで 96 dB、18 ビットで 108 dB のように高い値が要求されている。オーバサンプリング型 A/D 変換器は第4図に示すようにサンプリング周波数を高くすることで S/N を改善できる。しかし、素子のスイッチング速度の限界とコストの点からサンプリング周波数はできるだけ低い方が好ましい。量子化雑音を低域で圧縮する高次の $\Delta-\Sigma$ 変調器は、A/D 変換器のオーバサンプリング周波数を下げる上で役立つ。

(発明が解決しようとする課題)

しかしながら、第3図に示すような直列積分型 $\Delta-\Sigma$ 変調器の安定性は2次までが限界とされており、3次以上で第3図の構成をとると発振して動作が不安定になる。

本発明はこの点を改善しようとするものである。
(課題を解決するための手段)

第1図は本発明の原理図で、11～14は第1～第4積分器、21～24は負帰還用の加算器、25は量子化誤差算出用の加算器、26は最終出力用の加算器、31、32は第1、第2量子化器、41～44は1サンプル遅延器、51、52は第1、第2微分器である。

(作用)

第1、第2積分器11、12は直列に接続され、第1量子化器31、遅延器41、加算器21、22と共に2次の伝達特性を有する主ループを構成する。この主ループの出力Fは

$$F = X(z) + (1 - Z^{-1})^2 \cdot Q_1(z) \quad \dots\dots(2)$$

であり、これは②式の $Q(z)$ を第1量子化器31の量子化雑音 $Q_1(z)$ に置換したものである。この第1量子化器31を単純なコンパレータで実現すると、その入力Eと出力Fとの間には次の関係が成り立つ。

$$F = E + Q_1(z) \quad \dots\dots(3)$$

$Z^{-1})^2 \cdot Q_1(z)$ と③式の $-(1 - Z^{-1})^2 \cdot Q_1(z)$ が相殺されるため、最終出力 $Y(z)$ は次の様になる。

$$Y(z) = F + H \\ = X(z) + (1 - Z^{-1})^4 \cdot Q_2(z) \quad \dots\dots(4)$$

この④式は④式と同じ4次の伝達特性であるので、4重積分型の $\Delta - \Sigma$ 変調器が等価的に実現されていることが判る。

しかも、本発明では主ループと副ループがいずれも2次の範囲内でしか帰還を行っていないため、安定した動作が保証される。尚、主ループの遅延器43、44は副ループの微分器51、52と位相合わせをするためのものである。また微分器51、52の段数は主ループの積分器11、12の段数に合わせたものである。

(実施例)

第2図は本発明の一実施例を示す回路図で、(A)と(B)に分けて示してある。(A)は積分器11～14を中心に示してある。本例の積分器11～14は、オペアンプOPと帰還容量 C_1 を組合せた積分回路60に対し、各種の電荷注入

$$-Q_1(z) = E - F \quad \dots\dots(5)$$

加算器25は⑤式を実現し、第1量子化器31の誤差成分 $-Q_1(z)$ だけを抽出する。

副ループはこの量子化誤差を2次の伝達特性で積分する。この副ループは直列接続された第3、第4積分器13、14と第2量子化器32、それに帰還用の遅延器42と加算器23、24を備える。第2量子化器32の量子化雑音を $Q_2(z)$ とすると、量子化出力Gは

$$G = -Q_1(z) + (1 - Z^{-1})^2 \cdot Q_2(z) \quad \dots\dots(6)$$

となる。この副ループは第2量子化器32の後段に第1、第2微分器51、52を置き、量子化出力Gを2回微分する。微分器51、52の伝達関数を $(1 - Z^{-1})^2$ とすると2回微分出力Hは

$$H = (1 - Z^{-1})^2 \cdot G \\ = -(1 - Z^{-1})^2 \cdot Q_1(z) + (1 - Z^{-1})^4 \cdot Q_2(z) \quad \dots\dots(7)$$

となる。

この副ループの出力Hと前述した主ループの出力Fを加算器26で加算すると、②'式の $(1 -$

部61～64から主信号や帰還信号に応じた電荷を注入する構成をとる。

電荷注入部61、63は容量 C_2 を充放電する主信号の電荷注入源で、この容量 C_2 と積分回路60の容量 C_1 との間で電荷の再分配を行なう。容量 C_2 の周囲には4個のスイッチ①～④が付設され、スイッチ付きキャパシタ回路が構成される。スイッチ①、③とスイッチ②、④はそれぞれ対となって逆相で動作し、容量 C_2 に対する充電又は放電経路を構成する。電荷注入部61と63ではスイッチ①、③と②、④の使い方が逆である。主ループの第1、第2積分器11、12では電荷注入部61を用い、副ループの第3、第4積分器13、14では電荷注入部63を用いている。従って、主ループと副ループでは主信号の充放電が逆相になる。

電荷注入部62は第1量子化器31の出力Fを帰還するために使用し、また電荷注入部64は第2量子化器32の出力Gを帰還するために使用する。電荷注入部62は2つの容量 C_2 、 C_3 と、そ

の充放電用スイッチ②～④、 $\textcircled{F1}$ 、 $\textcircled{F2}$ から構成され、充電は定電圧 V_{ss} を用いて行われる。スイッチ $\textcircled{F1}$ 、 $\textcircled{F2}$ はスイッチ①に第1量子化器31の出力Fによる開閉条件を付けたものである。この構成で量子化出力Fを帰還できるのは、スイッチ $\textcircled{F1}$ 、 $\textcircled{F2}$ による。つまり、スイッチ②④が同時にオンすると容量 C_1 が V_{ss} で充電され、次にスイッチ③がオンしたとき、同時にスイッチ $\textcircled{F1}$ 、 $\textcircled{F2}$ の一方だけがオンする。スイッチ $\textcircled{F1}$ がオンすると容量 C_1 との間で電荷を再分配して積分回路60側には電荷を注入しない。これに対し、スイッチ $\textcircled{F2}$ がオンすれば容量 C_1 との間で電荷を再分配して積分回路60側に電荷を注入する。

電荷注入部64は2つの容量 C_1 、 C_2 と、その充放電用スイッチ①、③、④、 $\textcircled{F3}$ 、 $\textcircled{F4}$ から構成され、充電は同じく定電圧 V_{ss} を用いて行われる。スイッチ $\textcircled{F3}$ 、 $\textcircled{F4}$ はスイッチ②に第2量子化器32の出力Gによる開閉条件を付したものである。この回路ではスイッチ①③がオンのときに容量 C_1 が充電され、スイッチ④がオンしたとき

スイッチ $\textcircled{F3}$ がオンすれば容量 C_2 に電荷を再分配して積分回路60側に電荷を注入せず、逆にスイッチ $\textcircled{F4}$ がオンすれば容量 C_2 に電荷を再分配して積分回路60側に電荷を注入する。

第1、第2積分器11、12では電荷注入部62を使用し、また第3、第4積分器13、14では電荷注入部64を使用する。これらの電荷注入部61～64は積分回路60に直接電荷を注入するので、第1図の加算器21～24は省略できる。また、第3積分器13に電荷注入部62を用いると加算器25も省略できる。

第2図(B)は第2積分器12の出力を量子化する第1量子化器31と、第4積分器14の出力を量子化する第2量子化器32以後の構成を示している。量子化器31、32はいずれもコンパレータで、入力IPを基準値IMと比較してその結果をQ端子に出力する。量子化するタイミング ϕ_1 、 $\overline{\phi_1}$ はタイミング信号発生回路71で発生する。前述したスイッチ①～④の動作もこのタイミング ϕ_1 、 $\overline{\phi_1}$ による。但し、スイッチ $\textcircled{F1}$ 、 $\textcircled{F2}$ の動

作タイミング P_1 、 P_2 は第1のスイッチ制御部72で作成され、またスイッチ $\textcircled{F3}$ 、 $\textcircled{F4}$ の動作タイミングは第2のスイッチ制御部73で作成される。

第1のスイッチ制御部72はタイミング信号発生回路71の出力 ϕ_1 と第1量子化器31の出力Fを基に、 ϕ_1 のタイミングで互いに逆相となるタイミング P_1 、 P_2 を作成する。この P_1 、 P_2 は量子化出力Fの1、0でレベルが反転する。第2のスイッチ制御部73はタイミング信号発生回路71の出力 ϕ_1 と第2量子化器32の出力Gを基に、 ϕ_1 のタイミングで互いに逆相となるタイミング P_3 、 P_4 を出力する。この P_3 、 P_4 は量子化出力Gの1、0でレベルが反転する。

第2量子化器32の出力Gを微分する微分器51、52はそれぞれクロック ϕ_1 で駆動されるフリップフロップFFと加算器Aで構成される。また、これに対応する主ループ側の遅延器43、44は同じくクロック ϕ_1 で駆動されるフリップフロップFFで構成される。尚、遅延器43の前段

に半分の遅延量の遅延器45(これもFF)を置き、厳密な位相合わせを行っている。

(発明の効果)

以上述べたように本発明によれば、4次の伝達特性を有する $\Delta-\Sigma$ 変調器を主信号を処理する主ループと量子化雑音を処理する副ループに分け、それぞれを安定な動作をする2次の $\Delta-\Sigma$ 変調器として構成したので、全体として安定した動作で低域の量子化雑音を極力圧縮できる利点がある。

4. 図面の簡単な説明

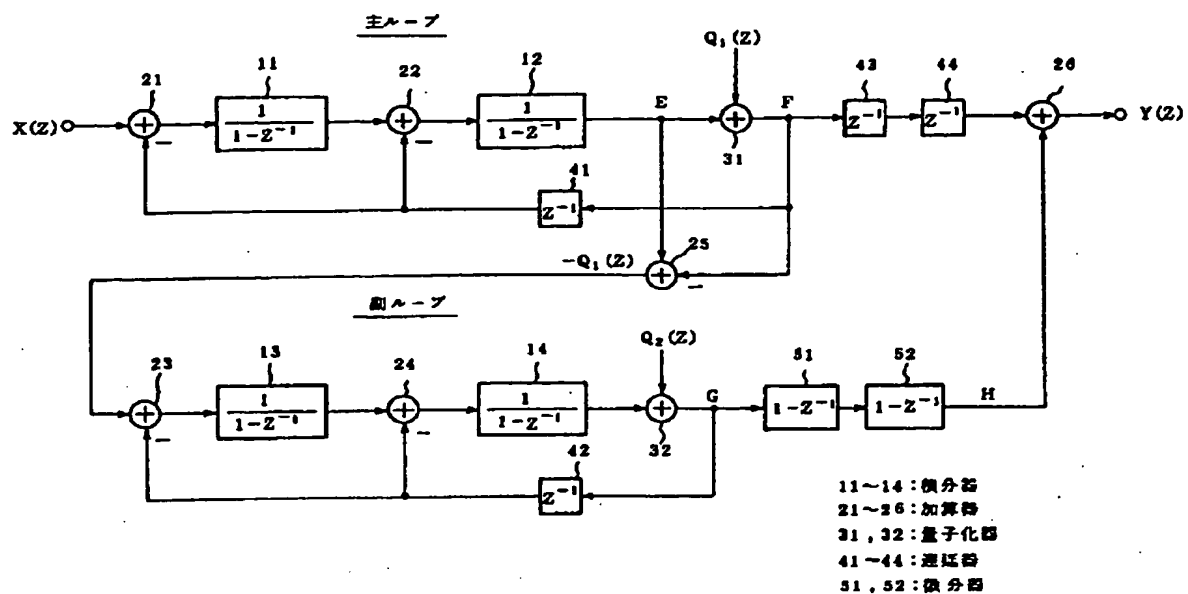
第1図は本発明の原理図、

第2図は本発明の一実施例を示す回路図、

第3図は従来の4重積分型 $\Delta-\Sigma$ 変調器の一例を示す信号線図、

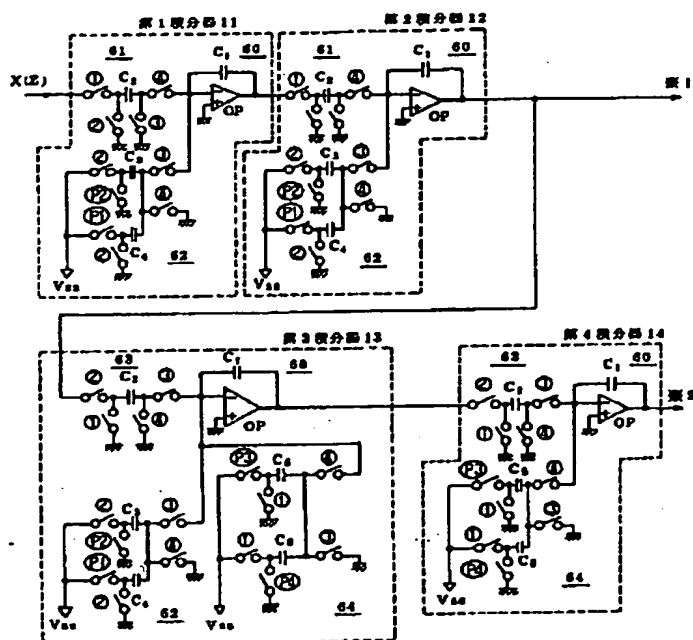
第4図はオーバーサンプリング型A/D変換器の特性図である。

図中、11～14は積分器、21～26は加算器、31、32は量子化器、41～44は遅延器、51、52は微分器である。



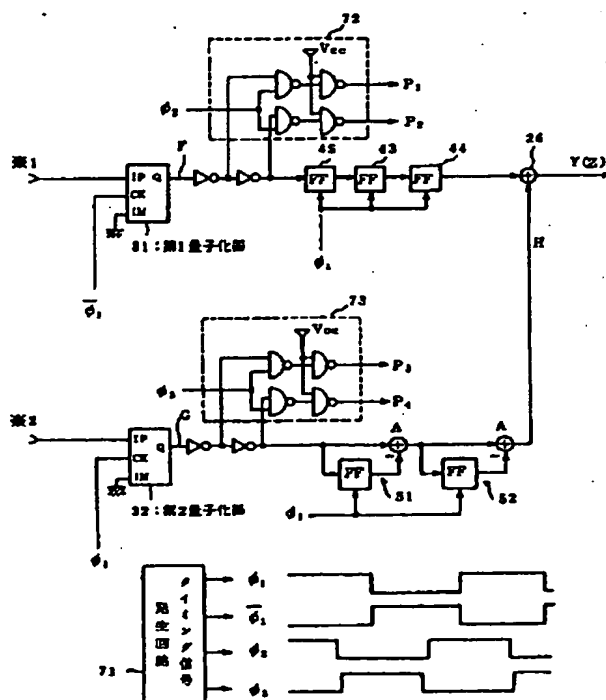
本発明の原理図

第1図

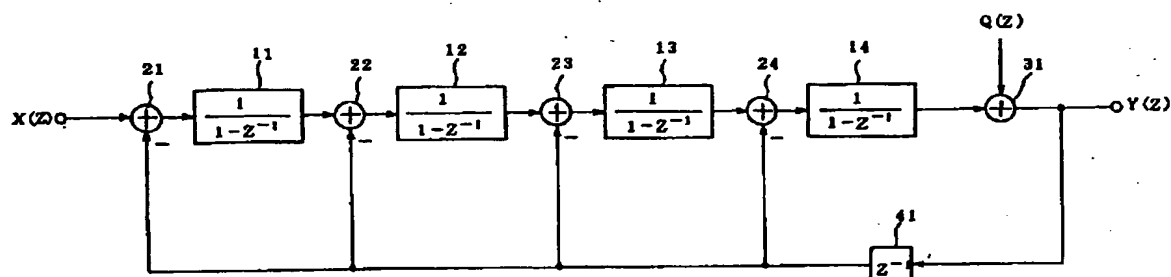


本発明の実施例の構成図

第2図(A)

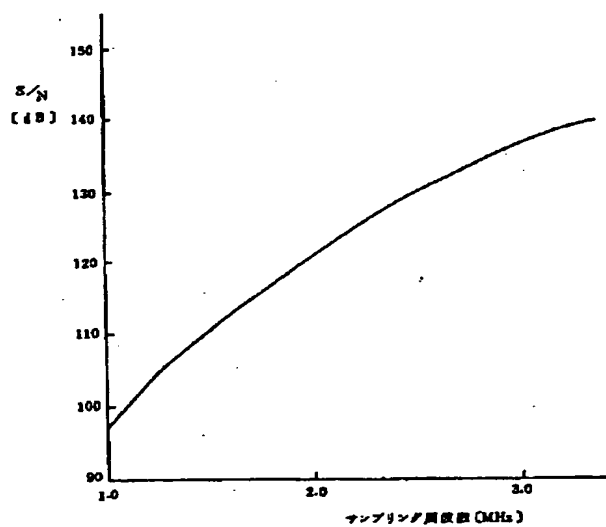


第2図(B)



従来の4重積分型A/D変換器の信号線図

第3図



スーパーサンプリング型A/D変換器の特性図

第4図